Traitement des eaux de piscine

ACADÉMIE DE LA RÉUNION

Durée de l'épreuve : 6 heures

Coefficient 6

Aucun document autorisé.

Ce sujet comporte 31 pages.

Sommaire

Partie A - présentation du système : 3 pages.
Partie B - étude de construction mécanique: 8 pages B1/8 à B8/8 et feuille réponse BAl/1 (ici directement intégrée au sujet).
Les réponses doivent être rédigées sur le document BAl/1. Ces copies seront relevées à l'issue de la durée de 1 h 30.
Partie C - technologie électronique : 20 pages.
Les réponses doivent être rédigées sur les documents C18/20 à C20/20.

Temps conseillé

- partie construction mécanique :1 h 30; 40 points
- partie électronique : 4 h 30; 80 points.

Notices techniques

- **Document 1** C11/20 : l'électrode combinée.
- **Document 2** C12/20 et C13/ 20: photo coupleurs CNX 35..
- **Document 3** C14/20 : décodeurs BCD-7 segments 46-47-48-357 ; décodeur-multiplexeur 3 vers 8 type 138.
- **Document 4** Cl5/20:afficheurs 7 segments 14,2 mm HDSP53xx : caractéristiques, description, références et caractéristiques électriques et optiques à T_A=25°C (non reproduit).
- **Document 5** C16/20 et C17/20 : microprocesseur CMOS 8 bits ADCs Maxim Max165/ Maxi 166: caractéristiques, configuration du boîtier, diagramme fonctionnel

Le dessin d'ensemble B6/8, le schéma structurel C8/20 et les documentations C l3/20, C 14/20 et C l7/20 sont reproduits sur nos pages centrales

A - TRAITEMENT DES EAUX DE PISCINE

Présentation du système technique

Mise en situation

Le traitement des eaux de baignade est, de nos jours, de plus en plus complexe. Un certain nombre d'arrêtés et de décrets ont été pris en France et en Europe, fixant d'une part des critères de qualité, d'autre part des normes d'hygiène et de sécurité.
Ces normes sont strictes. L'eau du bassin doit posséder un pouvoir désinfectant permanent. Le procédé le plus courant utilise le chlore. On effectue par ailleurs un contrôle du pH.

Les produits manipulés sont dangereux et leur dosage doit être précis. De plus, les concentrations doivent rester correctes quel que soit le nombre d'usagers. Il a donc fallu mettre au point un système de surveillance permanente couplé à une alimentation automatique en produits.

Diagramme sagittal

Voir figure 1.

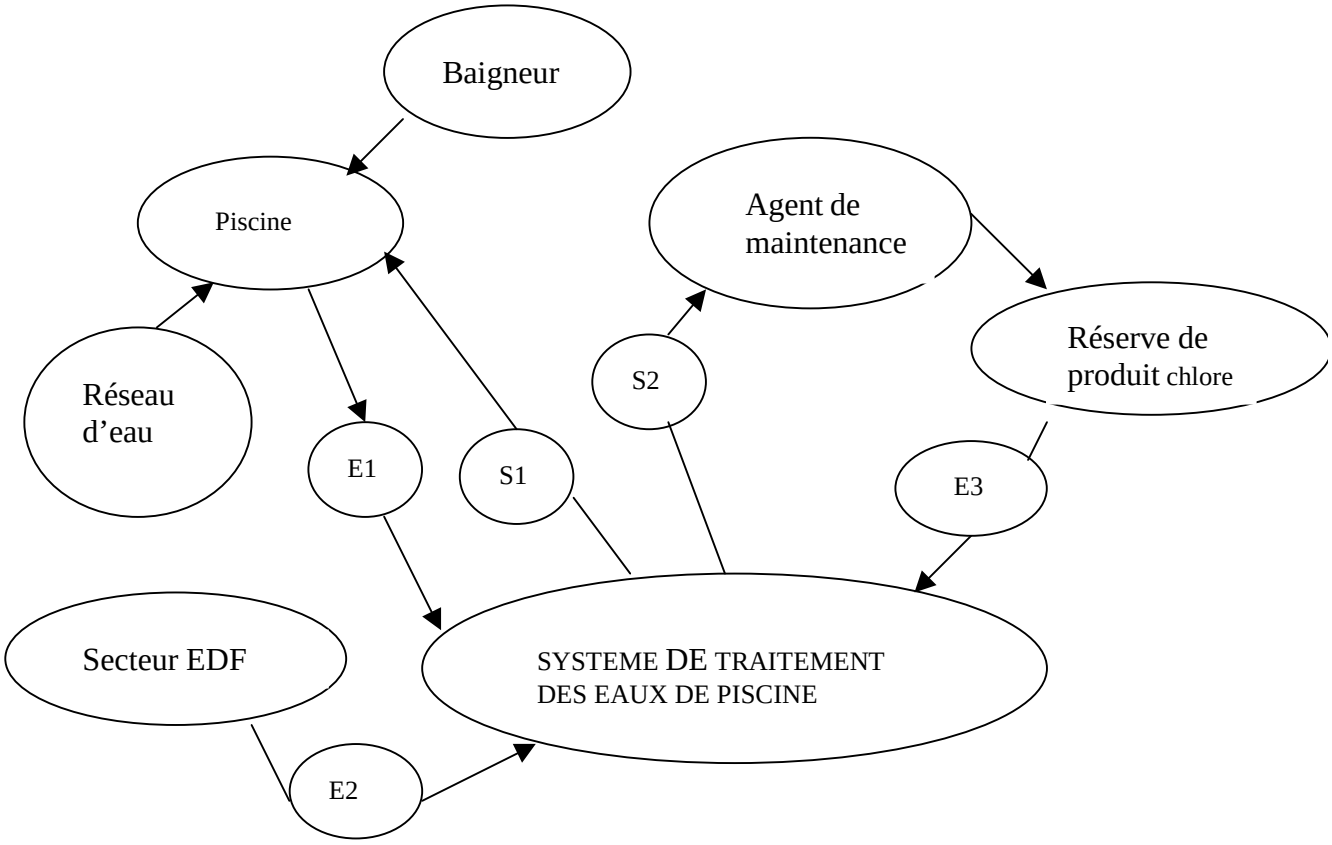


FIG.1
Diagramme sagittal

E1= eau à traiter
E2=énergie électrique
E3=chlore liquide
S1=eau traitée
S2=indication de l'état de l'eau

Description de l'objet technique

Le système étudié comprend donc deux parties:
- une partie opérative constituée d'une pompe doseuse
délivrant un produit spécifique;
- une partie commande qui gère électroniquement la qualité de l'eau par:
- mesure permanente des concentrations,
- correction par mise en route de la pompe au débit préréglé.

Implantation du système

Voir **figure 2.**

Schéma fonctionnel de niveau Il

Voir **figure 3**.

Fonction d'usage: réguler la concentration en chlore d'une eau de piscine.

Processus de traitement de l'eau

Voir description **figure 4.**

B- PARTIE ELECTRONIQUE

Objet de l'étude : analyse du module de régulation du pH de la pompe doseuse.

Le degré d'acidité (pH) d'un bassin de piscine est, conformément aux normes, compris entre 8,9 et 7,7 (6,9 ≤pH < 7,7).

Voir **figure 14** le schéma fonctionnel du 1er degré de la régulation de la concentration du produit de traitement.

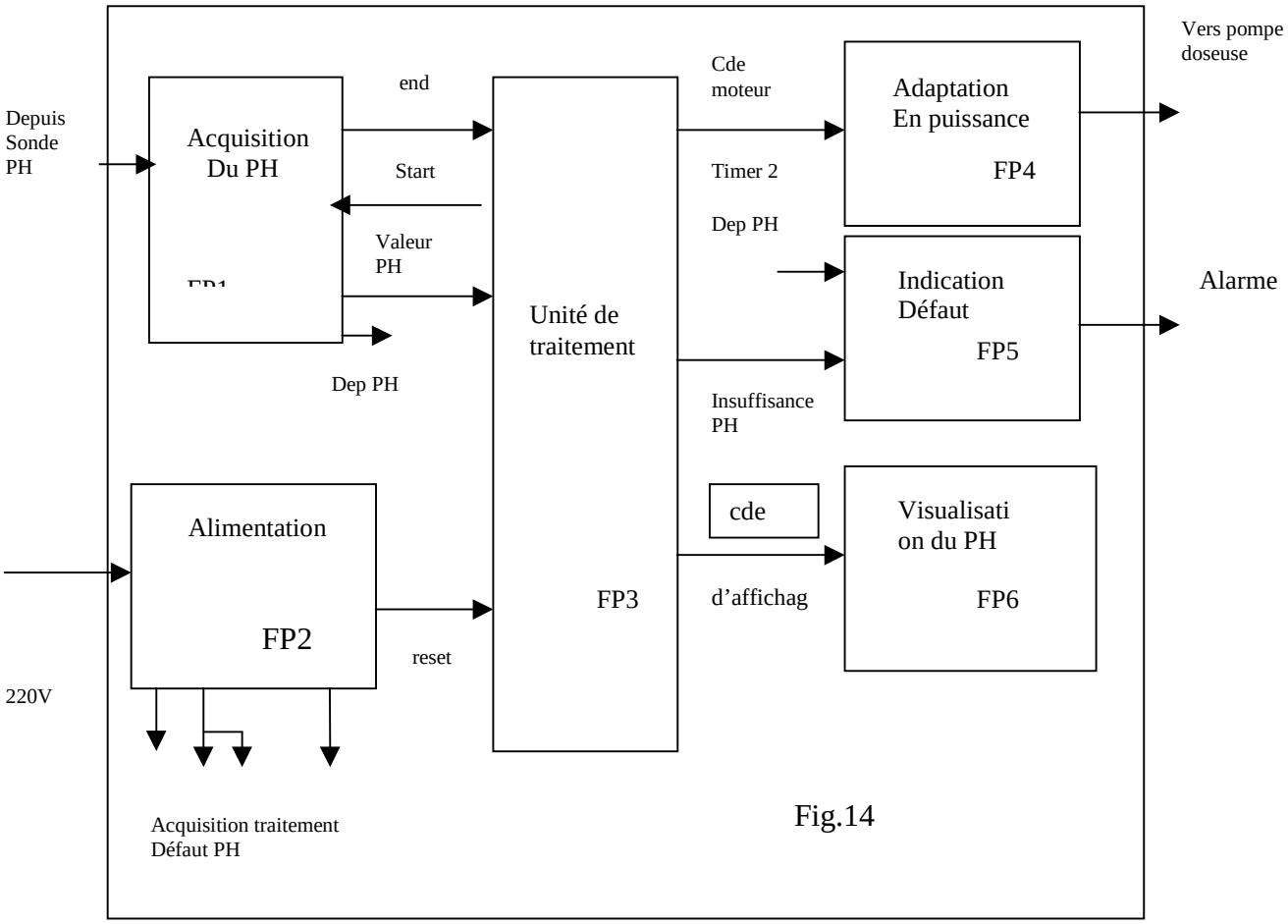


Fig.14

Description des fonctions principales

FP1: permettre l'acquisition du pH à un format adapté à FR3 et test d'un dépassement de format.

FP2 : fournir les tensions continues pour l'alimentation en énergie des fonctions principales FPI, FP3, FP4, FP5 et FP6. FP8 : assurer le traitement et la gestion du pH d'entrée en vue de commander la pompe doseuse, d'informer de sa valeur et d'avertir en cas de défauts. FP4 s générer un signal fixe pour la commande du moteur de la pompe doseuse.

FR5 s avertir l'utilisateur d'une valeur hors norme du pH ou d'un dépassement du format (Dep).

FR6: informer sur l'état du pH mesuré.

Travail demandé

L'étude porte sur les fonctions FP1 à FP6.
Les différentes parties sont indépendantes.

Étude de la fonction FP1

Voir figure l5 le schéma fonctionnel du 2ème degré de FP1.

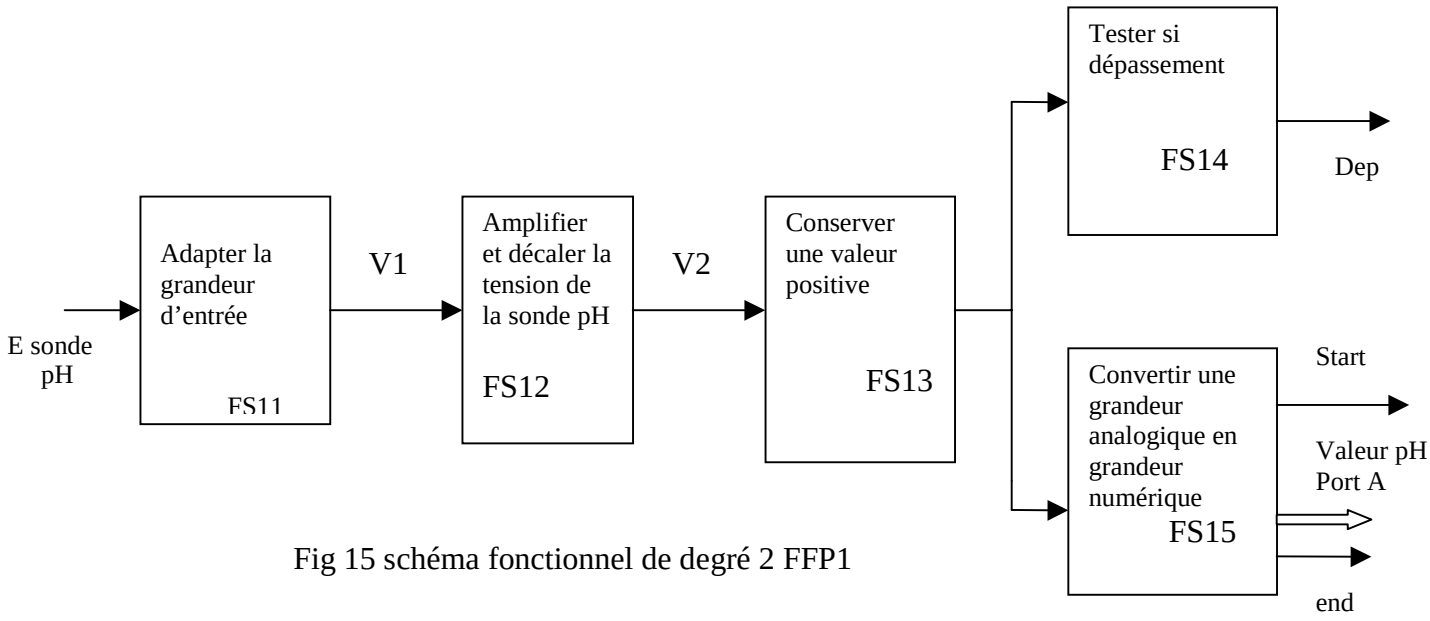


Fig 15 schéma fonctionnel de degré 2 FFP1

Celle fonction réalise une interface entre ta tension de la sonde de mesure d'acidité et le convertisseur analogique numérique, et signale un dépassement de la plage du convertisseur.

Étude des fonctions FS1.1 à F51.4

Soit le schéma structurel **figure 16**.

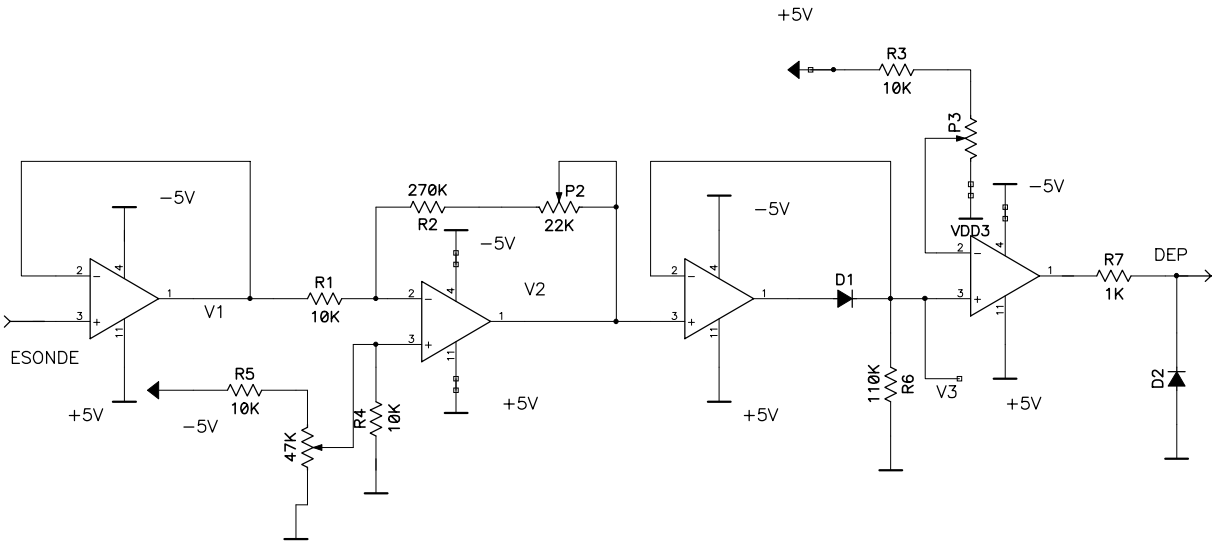


Schéma structurel FS11 FS12 FS13 FS14 Fig.16

La sonde de mesure du pH, composée d'une électrode de verre, donne à 20°C la relation suivante

E = 0,4067 - 0,0581 pH (exprimé en volt)

Questions

1.1.1-Comment se nomme la structure de la fonction FS1 .1, composée du $_1$er amplificateur (CI 1) ?

1.1.2- Exprimer V1 en fonction de E.

1.1.3- Quel est l'intérêt de ce montage pour la sonde?

La structure assurant la fonction FS1.2, CI2 en montage soustracteur, permet d'amplifier et de décaler la tension Vi. La relation entreV2 et Vl est la suivante : V2= - k.V1 + pVcc
(avec Vcc= - 5V).
On désire obtenir en sortie la relation: V2 = 1,64 pH -10,66.

1.1.4- Exprimez V2 en fonction de E.

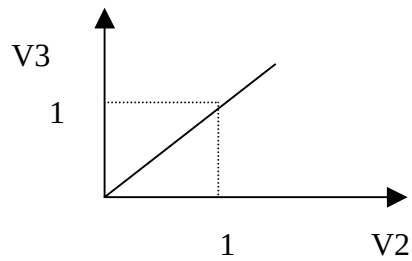
1.1.5-Représenter, sur le **document-réponse DR1,** V2 en fonction du pH.

1.1.6-Calculer k et p.

1.1.7- Comment appelle-t-on k et quel composant peut le régler?

1.1.8- Quel composant permet de régler le paramètre p?

L'amplificateur CI 3 est monté en redresseur sans seuil, sa fonction de transfert est représentée ci-après.



1.1.9-Représenter, sur le **document réponse DR1,** V3 en fonction du pH.
La plage normalisée des valeurs du point est 6,9 ≤ pH ≤ 7,7. En dédujre les valeurs correspondantes de V3.
l.l.10-Quel est le nom du montage (amplificateur opérationnel CI 14) de la fonction FS1 .4 ?

1.1.11-Quel est le rôle de la diode D2?

1.1.12- Le potentiel sur l'entrée inverseuse de Cl4 est supposé égal à 2.47 V. Représenter, sur le **document réponse DRl**, la sortie Dep en fonction de V3.

Étude de FS1.5

Le schéma **figure 17** donne la configuration pour l'utilisation du convertisseur analogique numérique (CAN) MAX165. Un ordre de début de conversion (start) sera donné toutes les 5 minutes.

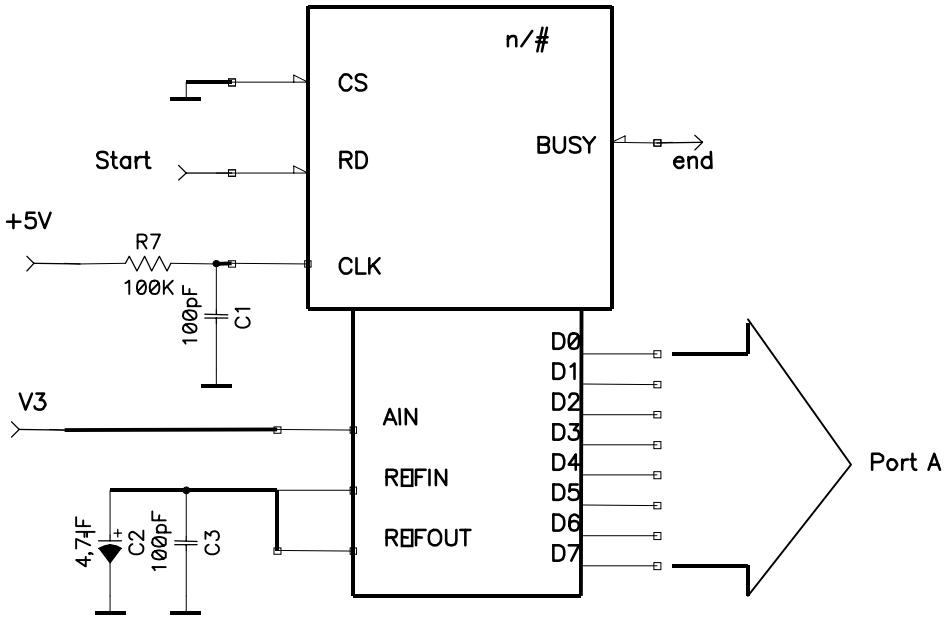


Fig.17
Configuration pour utilisation du CAN MAX165

La sélection du boîtier est toujours effective.
Un ordre de fin de conversion (end) est envoyé à l'unité de traitement.
Les données numériques sont envoyées à l'unité de traitement sur le port A du 6821 (PIA).
D'après la documentation du CAN MAX165 (voir en **annexe et en pages centrales)**

1 .2.0- Donner le mode de conversion utilisé par le CAN MAX165 ?

1.2.1-Compléter, sur le **document réponse DR2,** les chronogrammes d'un cycle d'acquisition de "End" et "Data" (température ambiante=25 °C)-

Le MAX165 comprend une tension de référenceVref= 1,23V; la tension d'entrée V3 "AIN", pourra évoluer de 0 à 2.Vref, soit de 0 à 2,46V.
La pleine échelle du convertisseur est PE=2.Vret (en anglais full scale. soit FS)
Soit n le nombre de bits du convertisseur et N (entier positif) le nombre représentant la valeur convertie, avec:

$$0 < N < 2n-1.$$

1.2.2-Calculer la résolution "q" du convertisseur (appelé aussi quantum : q 1 LSB).

1.2.3-Définir la relation reliant la tension d'entrée VS au nombre N?

1.2.4-Soit N = 133, valeur numérique de sortie : donner la valeur d'entrée VS?

1.2.5- Déterminer les nombres binaires obtenus à la sortie du convertisseur pour les 2 valeurs extrêmes de V3, soit pour un pH de 6,9 et un pH de 7,7.

Étude de la fonction FP2

La fonction FR2 regroupe l'ensemble des alimentations continues nécessaires au système (voir figure 18).

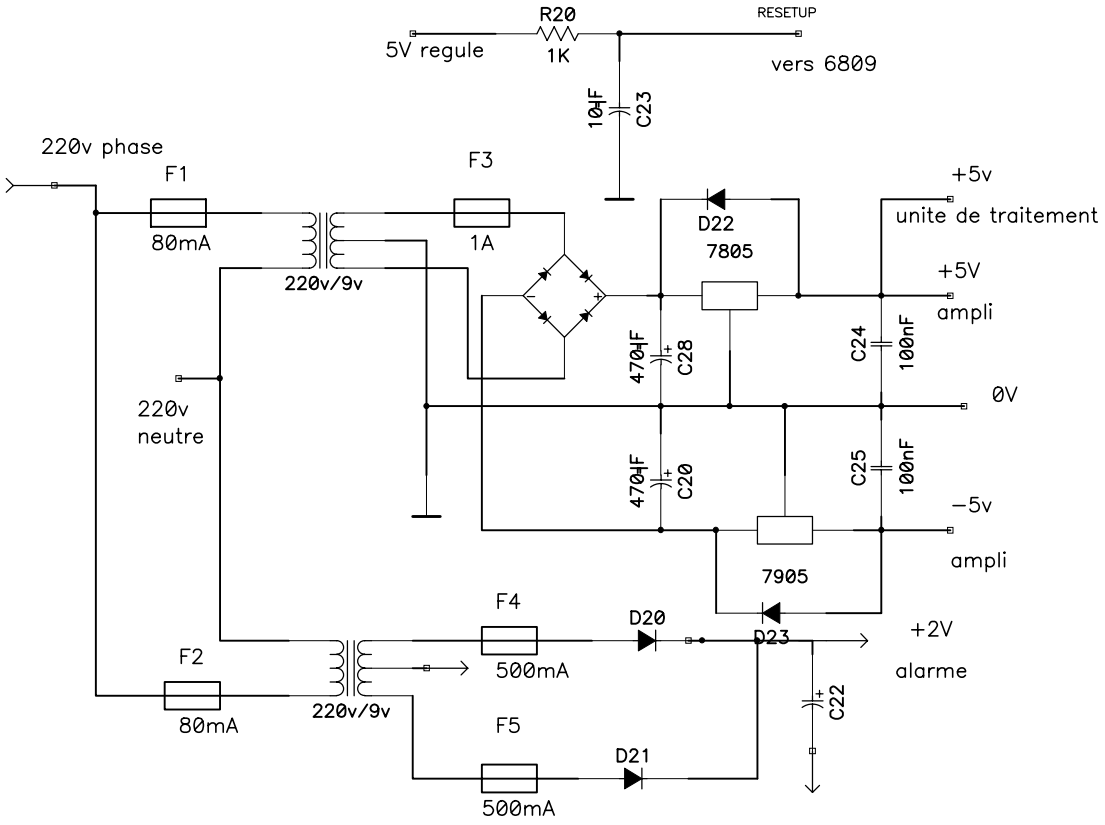


FIG.18 Schéma structurel de la fonction FP2

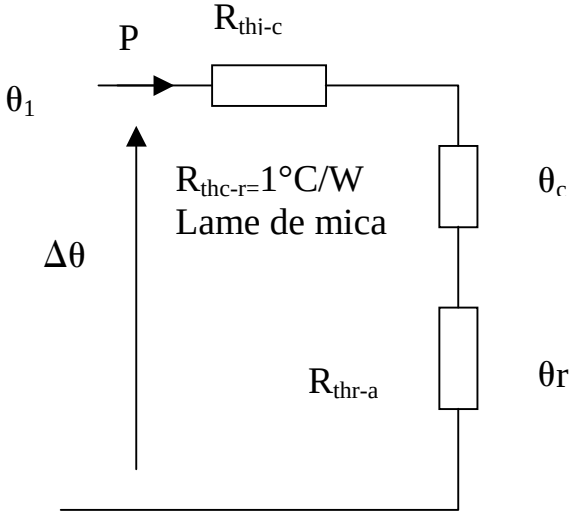
Celles-ci sont réalisées à partir de la structure classique transformateur redresseur + filtre + régulateur.
L'alimentation de l'alarme ne nécessite pas une tension régulée un réseau PC permet de réaliser l'initialisation "Reset" du microprocesseur 6809.

Questions

On suppose que la puissance dissipée P1 par le régulateur REG 1 sera ≤ 8W.
Les caractéristiques thermiques (en régime statique) du régulateur sont
- Rth.$_{j-c}$ (jonction-boîtier) = 2,5 ^{0}C>W^0;
- Rth $_{c-a}$ (boîtier-air ambiant) = 35 °C/w.
On rappelle que la loi d'Ohm thermique s'écrit $\Delta\theta$ =Rth $_{(totale)}$. P où $\Delta\theta$ représente la variation de température entre la jonction et l'air ambiant, et P la puissance dissipée.
On se propose de déterminer si le régulateur à besoin d'un dissipateur thermique.

Pour cela:
2.1- Calculer la puissance maximale F2 dissipable par le régulateur sans dissipateur, sachant que la température maximale de la jonction θ_1. est de 150 °C et que la température ambiante (dans le montage) θ_a est de 30 °C, avec les résistances thermiques citées plus haut.

2.2-Le régulateur peut-il dissiper la puissance Pl sans "radiateur" ?



De manière à protéger ce dernier, on l'installe sur un dissipateur thermique (radiateur), destiné à abaisser la valeur de Rth $_{ca}$ Le schéma thermique de la structure est rappelé figure ci-dessous.

2.3- Déterminer la résistance thermique maximale possible de Rth$_{c-a}$ (radiateur-air ambiant), la différence de température $\Delta\theta$ restant inchangée.
2.4- Il faut maintenant déterminer la longueur du radiateur pour évacuer les calories. Pour cela lire la documentation (**document Cl 3/20**, en pages centrales)
Quel radiateur choisissez-vous et de quelle longueur, an fonction des dimensions du radiateur?

2.5-Quel est le rôle des diodes D_{22} et D_{23}? Justifier votre réponse.
2.6-Quelle est la constante de temps nominale du circuit assurant le "Reset" du µp ?

2.7- Sachant que l'entrée "Reset" du µP change d'état àV_{DD}/2, quel sera le temps mis pour que l'entrée du µP passe à l'état "1 " à partir d'une mise sous tension ?

Étude de la fonction FP3

Cette fonction permet d'assurer le traitement de l'ensemble des données, le maître d'œuvre étant le microprocesseur 6809 il gère tous les circuits périphériques.
Le décodage des circuits est réalisé par le démultiplexeur 74HC138.
La RAM 6810 permet de stocker des données variables (128 octets) nécessaires au programme.

La mémoire morte EFROM 2718 permet de stocker l'ensemble du programme (ce dernier comporte la valeur de consigne du pH).

En fonction du volume de la piscine, du nombre de baigneurs (fréquentation), le contenu de l'EPROM et la durée du timer seront différents.
Le PIA 6821 assure la liaison entre te microprocesseur et les périphériques, c'est-à-dire :
- assure la réception des données numériques du CAN
- signale au processeur l'acquisition
- signale un défaut du pH (risque de brûlure des baigneurs) ;
- permet l'affichage du pH mesuré.

Le TIMER 6840 est un temporisateur programmable, il permet d'envoyer un ordre de commande (start) d'acquisition des données du pH toutes les 5 minutes et gère aussi la durée de fonctionnement du moteur, soit pendant 30 secondes.

Questions

3.1- Étude du décodage d'adresse.
À l'aide du schéma structurel **document C8/20** (en pages centrales), de la documentation constructeur du 74138 (**document C14/20**, en pages centrales), compléter le **document réponse DR3**.

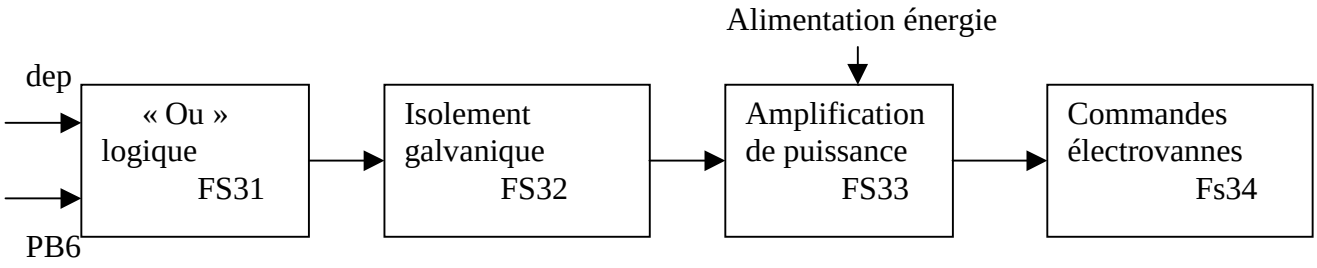
3.2-En déduire la topographie mémoire (mapping mémoire):

Étude de la fonction FP5

La fonction FP5 informe l'utilisateur en cas de défaut du pH, soit pour un pH >7,7 ou un pH <6,9**.**

La sirène alimentée sous sa tension nominale de 12V consomme un courant de 700 mA pour produire un niveau sonore de 100dB en mode continu. Le port de sortie PB6 ou l'amplificateur opérationnel CI4 peuvent fournir un courant maximal de 10 mA en fonctionnement normal. Il est donc nécessaire d'installer un étage d'amplification de puissance à Darlington TIP 115.
De plus, il est souhaitable d'isoler galvaniquement cet étage de la commande.

Schéma fonctionnel de degré2 : voir **figure 19a.**
Schéma structurel : voir **figure 19b**.



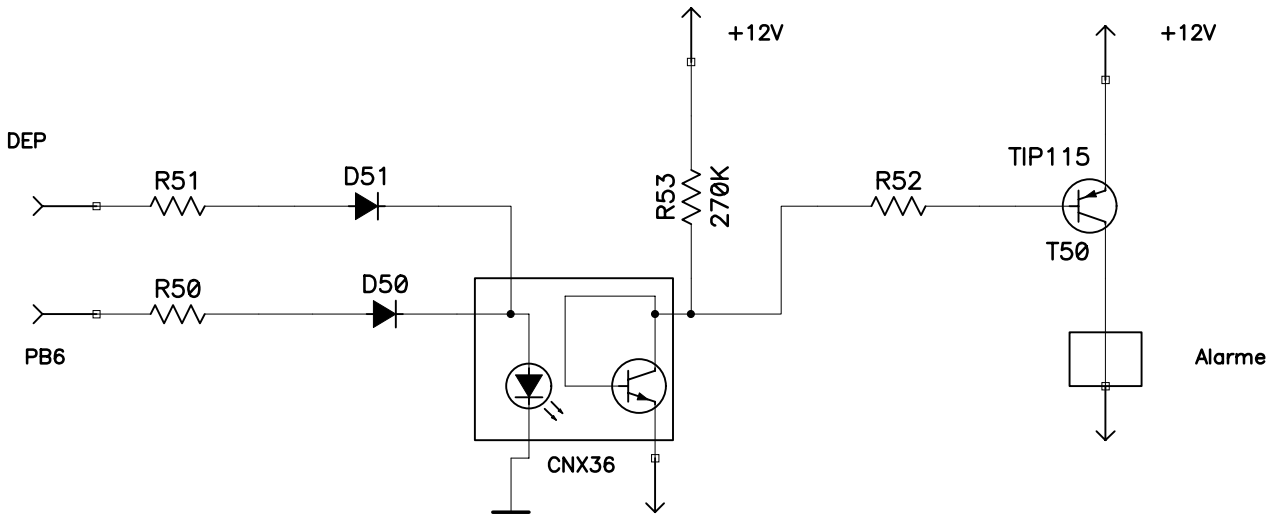


FIG.19 schémas fonctionnel et structurel de FP5

Questions

Le questionnaire ci-dessous doit permettre de vérifier que la solution structurelle retenue assure un fonctionnement correct de l'alarme sonore.

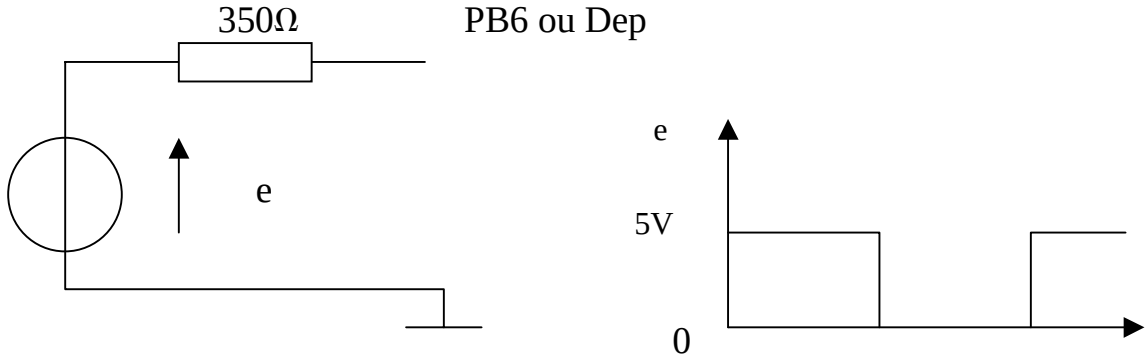
4.1-En prenant comme valeur minimale de l'amplification en courant du TIP 115 : βmin = 350 à Ic = 0,7 A:
calculer la valeur minimale du courant de base à faire circuler pour assurer sa saturation
- calculer R_{52} à installer pour satisfaire cette condition (transistor du CNX 36 saturé: VcE 0.2V; V_{BE} duTlPll5=1,4V) et choisir une valeur dans la série El2 ±10% (1; 1,2; 1,5; 1,8; 2,2; 2,7; 3,3; 3,9; 4,7; 5,6; 6,8; 8,2).

4.2- Calculer le courant Ic maximum pouvant alors circuler dans le transistor du CNX 36 (négliger l'influence de R_{53}

4.3-Calculer le courant I_F minimum qu'il faut faire circuler dans la diode électroluminescente du CNX 36 pour assurer la circulation du courant $I_C$max défini en 4.2.

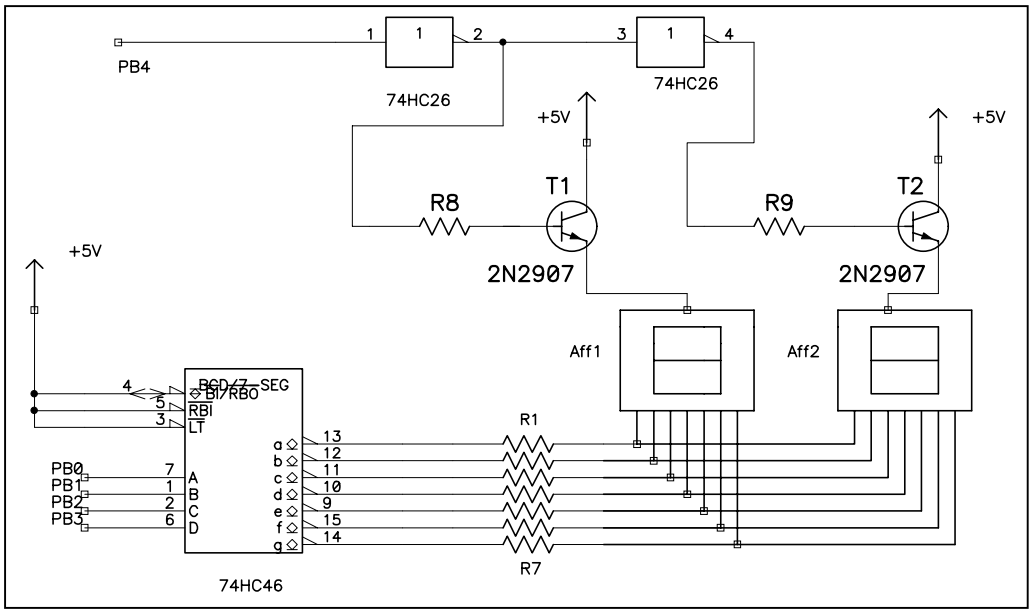
4.4- Ce courant $I_F$min devant être fourni par chacune des entrées (Dep et PB6), calculer la valeur maximum que peuvent avoir les résistances R_{51} et R_{50}. Choisir une valeur dans la série E12.

Conditions du calcul:
- tension directe aux bornes des diodes D_{50} et D_{51} = 0,6 V;
- tension directe aux bornes de la DEL du CNX 36 1,6V;
- générateur équivalent à la sortie PBB du pont et à la sortie de CI4:



Étude de la fonction FP6

Cette fonction permet l'affichage de la valeur du pH mesuré. La commande est assurée par le ports du circuit 6821; de plus l'affichage est multiplexé.
Le schéma **figure 20** représente l'ensemble de l'affichage.



Questions

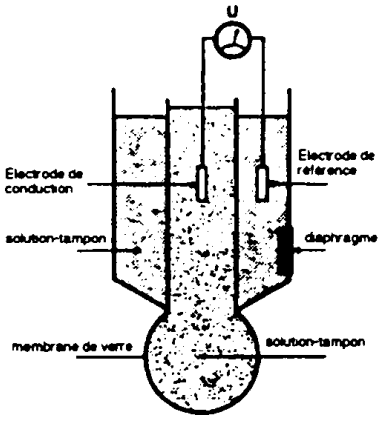
D'après les documentations sur le décodeur "BCD 7 segments" 74C46 et sur les afficheurs de la série HDSP-53xx (non reproduite), répondez aux questions suivantes :

5.1- Les afficheurs doivent-ils être à anodes communes ou à cathodes communes ? Justifier votre réponse.
5.2- Dans ce cas, quelle référence d'afficheur choisissez-vous dans la série HDSF-53xx ?
5.3- Quelle est la particularité de la sortie du décodeur "BCD 7 segments" ?
5.4- Compte tenu de celle particularité, représentez un schéma équivalent correspondant à la partie délimitée pour le fonctionnement du segment "a" de AF 1.
5.5- Tracer l'allure de I_{SG} en fonction du temps. Exprimer I_{SG} moyen fonction de I_{SG} max, sachant que le rapport cyclique de F84 est de 50%.
(I_{SG} = valeur instantanée du courant dans un segment de l'afficheur I_{SG} moy = valeur moyenne du courant i_{SG}.
5.6- Déterminer la résistance R_1 (série E 12). On supposeT2 saturé, d'où V_{CE} sat = 0,2V, pour $I_{moy} \approx$10mA par segment.

L'électrode combinée

Le principe utilisé lors de la mesure de l'indice d'acidité (pH) d'une solution est basé sur la différence de potentiel existant entre une électrode et une solution électrolytique. Pour la mesure de pH potentiométrique ou électrométrique, on utilise une chaîne galvanométrique comportant deux électrodes reliées électriquement par une ou plusieurs solution(s) électrolytique(s). Les électrodes sont interconnectées à travers un instrument de mesure possédant une résistance interne extrêmement élevée, La quasi absence de courant lors de cette mesure évite une quelconque modification de la composition chimique de la solution électrolytique.

La chaîne galvanique comporte plusieurs chaînons de tensions mis en série, tensions qu'il est impossible de mesurer individuellement. C'est la raison pour laquelle on a recherché une méthode permettant de mesurer les seules tensions électriques en relation directe avec la valeur de pH de la solution concernée. D'où la nécessité de disposer d'une paire d'électrodes lors de la mesure d'un pH une électrode de verre et une électrode de référence. Dans le cas de la sonde que nous avons utilisée, Ces deux électrodes se trouvent dans un même boîtier, d'où la dénomination d'électrode combinée (croquis ci-dessous).



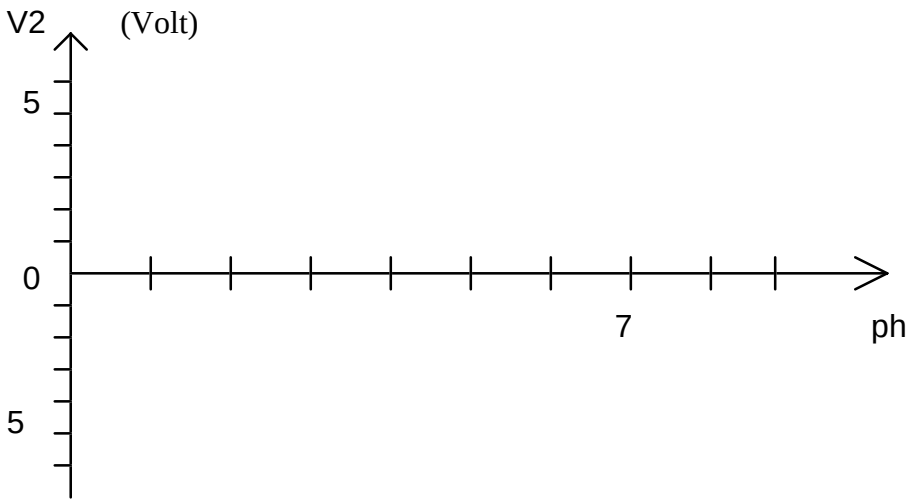
Comme l'indique son nom. l'électrode de référence fournit une tension électrique constante entre cette électrode et la solution à tester. L'électrode de référence est constituée par une électrode d'argent baignant dans une solution-tampon (KCI, chlorure de potassium). Cet ensemble, (et non pas le fil d'argent seul), constitue l'électrode de référence. La solution-tampon de l'électrode est en liaison avec la solution électrolytique par l'intermédiaire d'un diaphragme qui laisse passer un courant de liquide extrêmement faible et constitue une faible résistance électrique de transfert. Dans le cas de l'électrode combinée, ce diaphragme est on céramique à pores microscopiques. La seconde électrode. en verre, comporte une électrode conductrice en argent, baignant elle aussi dans une solution-tampon son extrémité est constituée par une membrane en verre d'épaisseur très faible (0,1 mm). Cette membrane, partie vitale de l'électrode, est réalisée en verre spécial relativement mou. De part et d'autre de cette membrane naît une différence de potentiel proportionnelle à la différence entre l'indice d'acidité de la solution-tampon à l'intérieur de l'électrode et celui de la solution électrolytique (à tester). Il est font probable qu'elle soit due à un échange d'ions de sodium (que doit contenir la solution-tampon) et d'hydrogène entre le verre et la solution a tester.

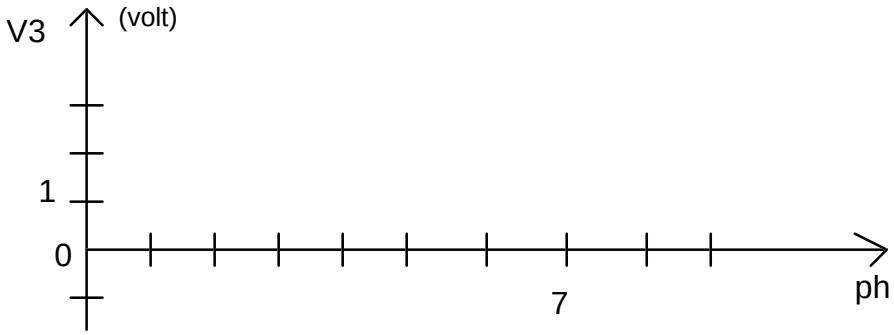
La différence de potentiel entre les deux électrodes est en relation linéaire avec la différence de pH entre les deux solutions. Les autres tensions électriques présentes dans la chaîne galvanique s'éliminent. En raison de la résistance de transfert élevée de l'électrode de verre (et aussi pour éviter toute modification chimique de la composition de la solution), l'instrument de mesure connecté aux électrodes doit impérativement présenter une impédance d'entrée très élevée, de l'ordre de 10^{12}W.

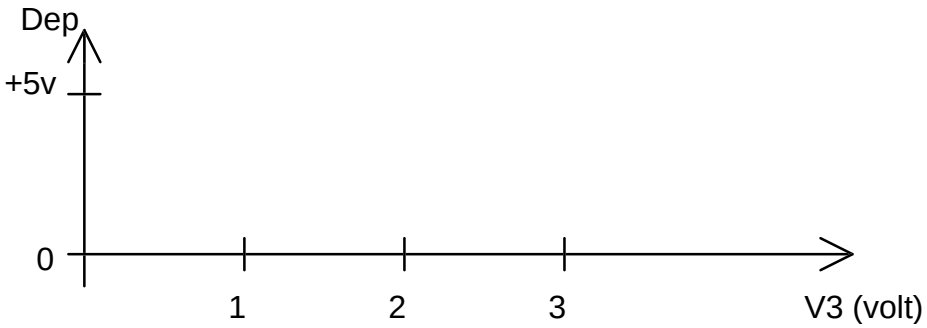
Mode d'emploi de l'électrode Il doit vous paraître évident, à la lecture du paragraphe précédent qu'il faut traiter l'électrode de verre avec la plus grande douceur, car elle constitue la partie la plus fragile de la sonde.

L'électrode combinée choisie contient une solution-tampon ne demandant pas d'entretien particulier (il n'est pas nécessaire, car de toutes façons impossible, d'en assurer le renouvellement). Pour en éviter le dessèchement, on conserve la sonde dans une solution-tampon. Il existe un certain nombre de règles à respecter lors de l'utilisation de l'électrode combinée.

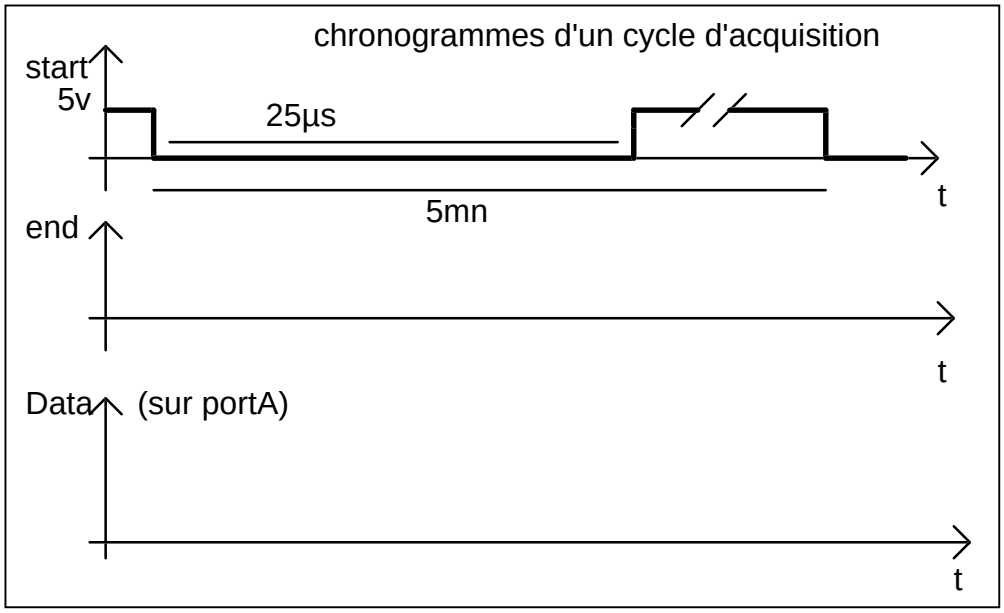
DOCUMENT REPONSE DR1



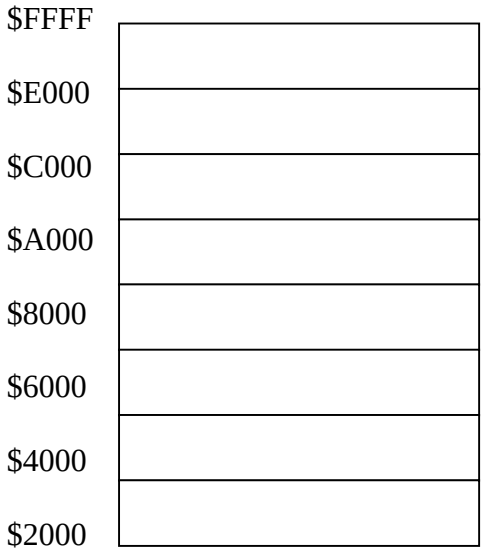




DOCUMENT REPONSE DR2



DOCUMENT REPONSE DR3



Circuits	Adresses	A15 A12	A11 A8	A7 A4	A3 A0	Hexa
RAM	Début					
	Fin					
PIA	Début					
	Fin					
TIMER	Début					
	Fin					
EPROM	Début					
	Fin					

DOCUMENT 1 TRAITEMENT DES EAUX DE PISCINE

DOCUMENTATIONS

CNX 36—CNX 36

Photocoupleurs coplanaires constitués d'une diode à l'arséniure de gallium émettant dans l'infrarouge et d'un phototransistor NPN au silicium, en boîtier plastique SOT 90 (DIL, 6 broches).

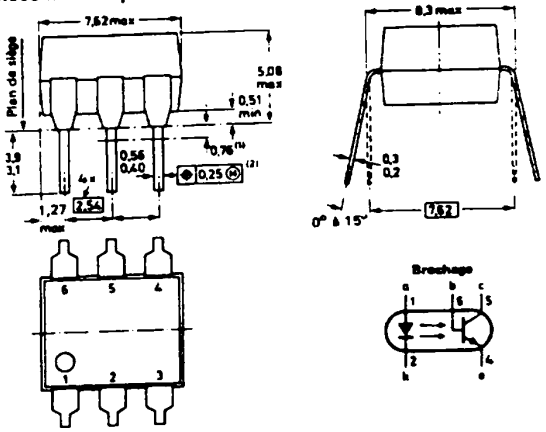
Ils se caractérisent par un transfert de courant élevé, une faible tension de saturation, un isolement galvanique parfait tant en alternatif qu'en continu, une large dynamique de fonctionnement en courant de 1 à 100 mA.

Leur technologie nouvelle leur confère une grande fiabilité et des performances compatibles avec des environnements difficiles dans le domaine industriel et les communications.

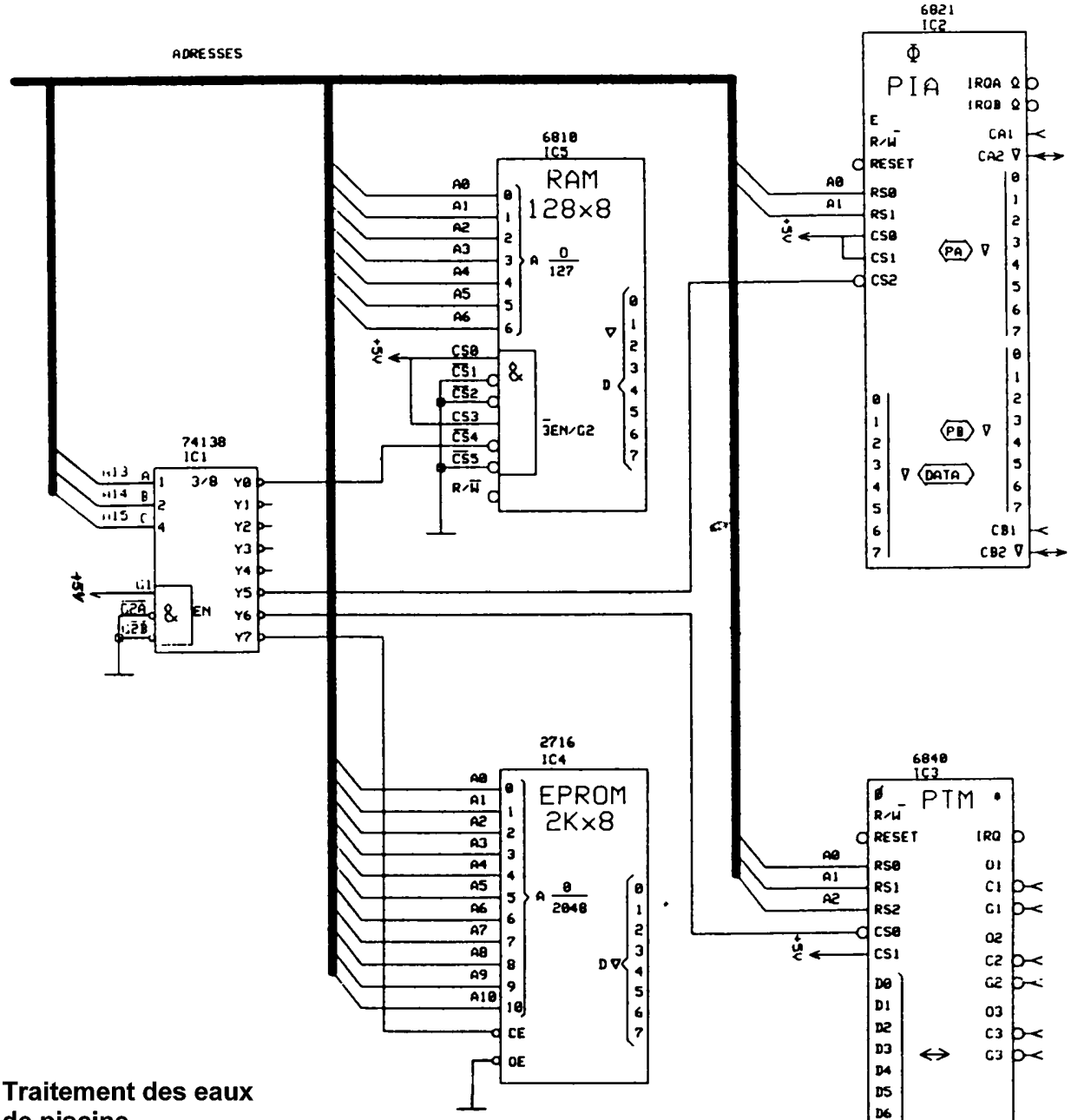
Caractéristiques principales

Tension collecteur-émetteur (base ouverte)		V_{CEO}	max	30 V
Courant direct de la diode en continu		I_F	max	100 mA
Taux de transfert :				
I_F = 10 mA ; V_{CE} =0,4 V	CNX 35	τ	min	40 %
			max	160 %
	CNX 36	τ	min	80 %
Courant de fuite sous tension de travail de 1,5 k V en continu Vcc =10 V		I_{CEW}	max	1 µA
Tension continue d'isolement		V_{I-O}	max	4,4kV
Température de jonction (diode et transistor)		Tj	max	125 °C

Données mécaniques Boîtier SOT-90 (dimensions en mm)



DOCUMENT 2 **TRAITEMENT DES EAUX DE PISCINE**



Traitement des eaux de piscine

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49, SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

MARCH 1974 - REVISED MARCH 1988

'46A, '47A, 'LS47 feature

- Open-Collector Outputs Drive Indicators Directly
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

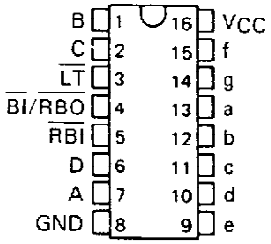
'48, 'LS48 feature

- Internal Pull-Ups Eliminate Need for External Resistors
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

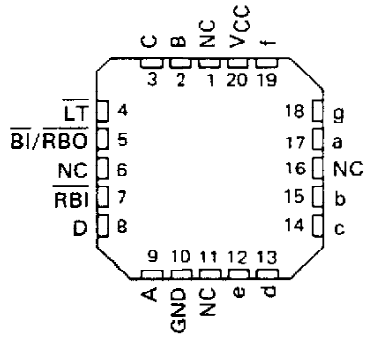
'LS49 feature

- Open-Collector Outputs
- Blanking Input

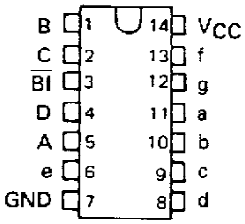
SN5446A, SN5447A, SN54LS47, SN5448, SN54LS48 . . . J PACKAGE
SN7446A, SN7447A, SN7448 . . . N PACKAGE
SN74LS47, SN74LS48 . . . D OR N PACKAGE
(TOP VIEW)



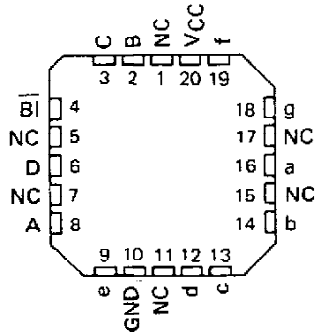
SN54LS47, SN54LS48 . . . FK PACKAGE
(TOP VIEW)



SN54LS49 . . . J OR W PACKAGE
SN74LS49 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS49 . . . FK PACKAGE
(TOP VIEW)



NC — No internal connection

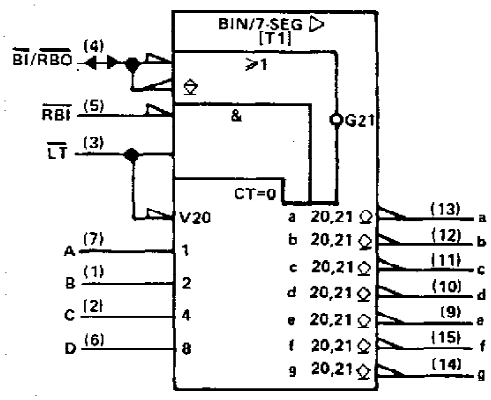
PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

- All Circuit Types Feature Lamp Intensity Modulation Capability

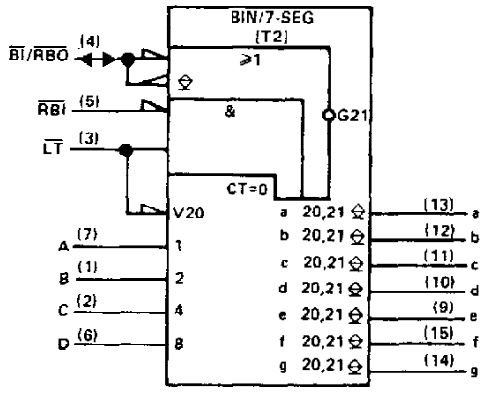
TYPE	DRIVER OUTPUTS				TYPICAL POWER DISSIPATION	PACKAGES
	ACTIVE LEVEL	OUTPUT CONFIGURATION	SINK CURRENT	MAX VOLTAGE		
SN5446A	low	open-collector	40 mA	30 V	320 mW	J, W
SN5447A	low	open-collector	40 mA	15 V	320 mW	J, W
SN5448	high	2-kΩ pull-up	6.4 mA	5.5 V	265 mW	J,W
SN54LS47	low	open-collector	12 mA	15 V	35 mW	J, W
SN54LS48	high	2-kΩ pull-up	2 mA	5.5 V	125 mW	J, W
SN54LS49	high	open-collector	4 mA	5.5 V	40 mW	J, W
SN7446A	low	open-collector	40 mA	30 V	320 mW	J, N
SN7447A	low	open-collector	40 mA	15 V	320 mW	J, N
SN7448	high	2-kΩ pull-up	6.4 mA	5.5 V	265 mW	J, N
SN74LS47	low	open-collector	24 mA	15 V	35 mW	J, N
SN74LS48	high	2-kΩ pull-up	6 mA	5.5 V	125 mW	J, N
SN74LS49	high	open-collector	8 mA	5.5 V	40 mW	J, N

logic symbols†

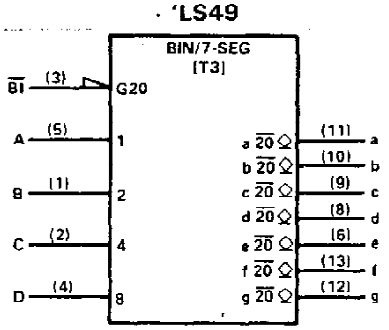
'46A, '47A, 'LS47



'48, 'LS48



'LS49



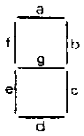
†These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
Pin numbers shown are for D, J, N, and W packages.

description

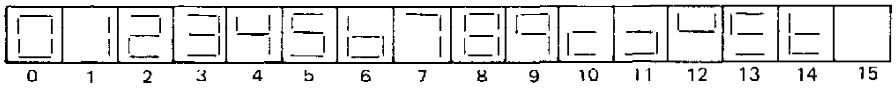
The '46A, '47A, and 'LS47 feature active-low outputs designed for driving common-anode LEDs or incandescent indicators directly. The '48, 'LS48, and 'LS49 feature active-high outputs for driving lamp buffers or common-cathode LEDs. All of the circuits except 'LS49 have full ripple-blanking input/output controls and a lamp test input. The 'LS49 circuit incorporates a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '46A, '47A, '48, 'LS47, and 'LS48 circuits incorporate automatic leading and/or trailing-edge zero-blanking control ($\overline{RBI}$ and $\overline{RBO}$). Lamp test ($\overline{LT}$) of these types may be performed at any time when the $\overline{BI}/\overline{RBO}$ node is at a high level. All types (including the '49 and 'LS49) contain an overriding blanking input ($\overline{BI}$), which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

The SN54246/SN74246 and '247 and the SN54LS247/SN74LS247 and 'LS248 compose the 6 and the 9 with tails and were designed to offer the designer a choice between two indicator fonts.



SEGMENT IDENTIFICATION



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, 'LS47 FUNCTION TABLE (T1)

DECIMAL OR FUNCTION	INPUTS						$\overline{BI}/\overline{RBO}$†	OUTPUTS							NOTE
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

NOTES: 1. The blanking input ($\overline{BI}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{RBI}$) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input ($\overline{BI}$), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input ($\overline{RBI}$) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output ($\overline{RBO}$) goes to a low level (response condition).
4. When the blanking input/ripple blanking output ($\overline{BI}/\overline{RBO}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

† $\overline{BI}/\overline{RBO}$ is wire AND logic serving as blanking input ($\overline{BI}$) and/or ripple-blanking output ($\overline{RBO}$).

'48, 'LS48
FUNCTION TABLE (T2)

DECIMAL OR FUNCTION	INPUTS						$\overline{BI}/\overline{RBO}$†	OUTPUTS							NOTE
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

H = high level, L = low level, X = irrelevant

NOTES: 1. The blanking input ($\overline{BI}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{RBI}$) must be open or high, if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input ($\overline{BI}$), all segment outputs are low regardless of the level of any other input.
3. When ripple-blanking input ($\overline{RBI}$) and inputs A, B, C, and D are at a low level with the lamp-test input high, all segment outputs go low and the ripple-blanking output ($\overline{RBO}$) goes to a low level (response condition).
4. When the blanking input/ripple-blanking output ($\overline{BI}/\overline{RBO}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.

†$\overline{BI}/\overline{RBO}$ is wire-AND logic serving as blanking input ($\overline{BI}$) and/or ripple-blanking output ($\overline{RBO}$).

'LS49
FUNCTION TABLE (T3)

DECIMAL OR FUNCTION	INPUTS					OUTPUTS							NOTE
	D	C	B	A	$\overline{BI}$	a	b	c	d	e	f	g	
0	L	L	L	L	H	H	H	H	H	H	H	L	1
1	L	L	L	H	H	L	H	H	L	L	L	L	
2	L	L	H	L	H	H	H	L	H	H	L	H	
3	L	L	H	H	H	H	H	H	H	L	L	H	
4	L	H	L	L	H	L	H	H	L	L	H	H	
5	L	H	L	H	H	H	L	H	H	L	H	H	
6	L	H	H	L	H	L	L	H	H	H	H	H	
7	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	L	L	L	L	L	L	L	L	2

H = high level, L = low level, X = irrelevant

NOTES: 1. The blanking input ($\overline{BI}$) must be open or held at a high logic level when output functions 0 through 15 are desired.
2. When a low logic level is applied directly to the blanking input ($\overline{BI}$), all segment outputs are low regardless of the level of any other input.

SN54LS138, SN54S138, SN74LS138, SN74S138A
3-LINE TO 8-LINE DECODERS/DEMULTIPLEXERS

SDLS014

DECEMBER 1972—REVISED MARCH 1988

- **Designed Specifically for High-Speed:**
  Memory Decoders
  Data Transmission Systems
- **3 Enable Inputs to Simplify Cascading and/or Data Reception**
- **Schottky-Clamped for High Performance**

description

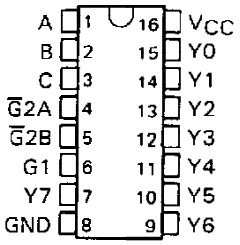
These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems, these docoders can be used to minimize the effects of system decoding. When employed with high-speed memories utilizing a fast enable circuit, the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The 'LS138, SN54S138, and SN74S138A decode one of eight lines dependent on the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented without external inverters and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

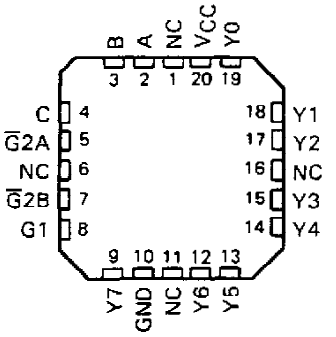
All of these decoder/demultiplexers feature fully buffered inputs, each of which represents only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and to simplify system design.

The SN54LS138 and SN54S138 are characterized for operation over the full military temperature range of −55°C to 125°C. The SN74LS138 and SN74S138A are characterized for operation from 0°C to 70°C.

SN54LS138, SN54S138 . . . J OR W PACKAGE
SN74LS138, SN74S138A . . . D OR N PACKAGE
(TOP VIEW)

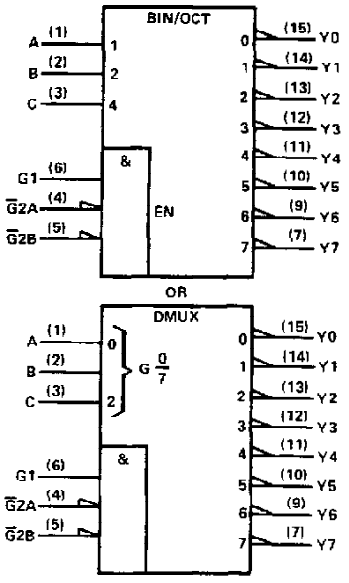


SN54LS138, SN54S138 . . . FK PACKAGE
(TOP VIEW)



NC—No internal connection

logic symbols†



†These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.
Pin numbers shown are for D, J, N, and W packages.

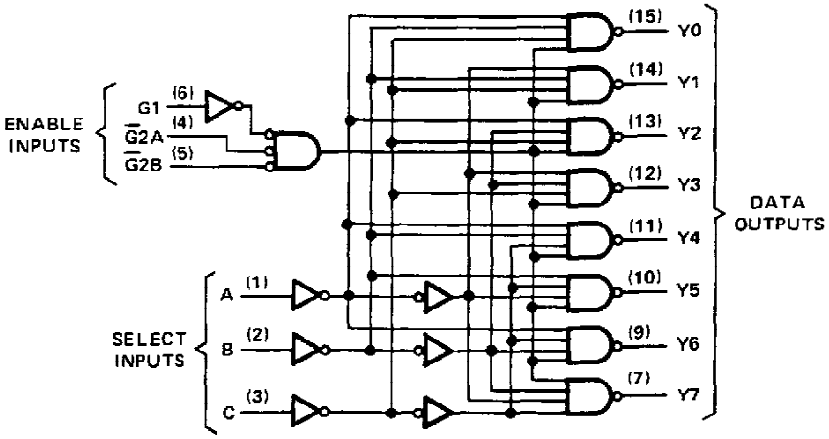
PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1972, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655012 • DALLAS, TEXAS 75265

logic diagram and function table

'LS138, SN54S138, SN74S138A



Pin numbers shown are for D, J, N, and W packages.

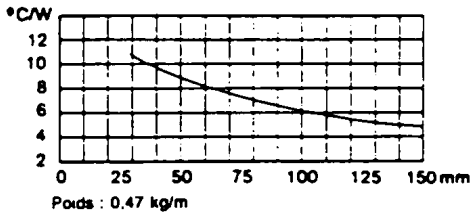
'LS138, SN54138, SN74S138A
FUNCTION TABLE

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	$\overline{G}$2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*$\overline{G}2 = \overline{G}2A + \overline{G}2B$
H = high level, L = low level, X = irrelevant

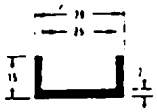
DOCUMENT 4 **TRAITEMENT DES EAUX DE PISCINE**

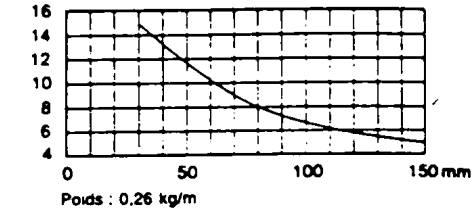
WA 401



Poids : 0.47 kg/m

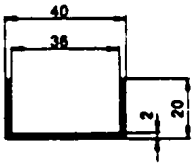
WA 402*

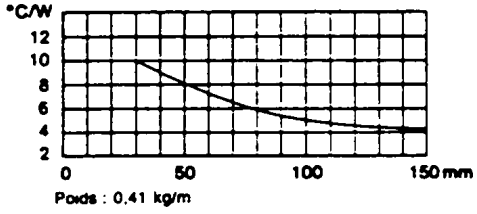




Poids : 0.26 kg/m

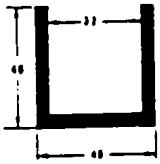
WA 403*

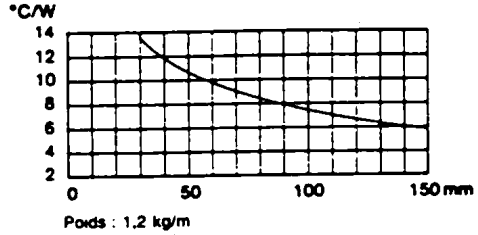




Poids : 0.41 kg/m

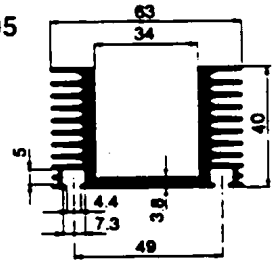
WA 404

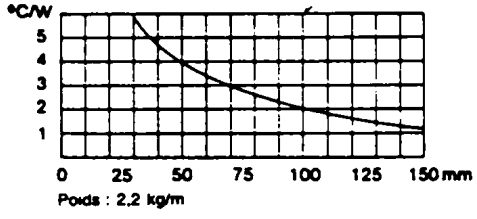




Poids : 1,2 kg/m

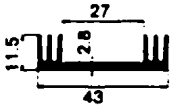
WA 405

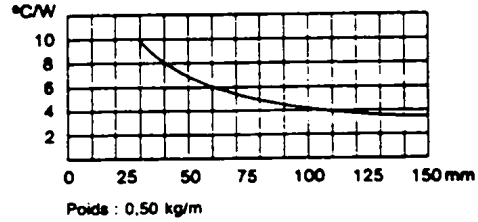




Poids : 2,2 kg/m

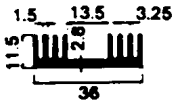
WA 406

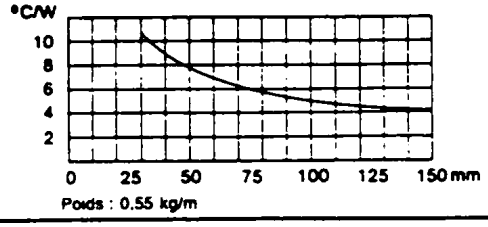




Poids : 0,50 kg/m

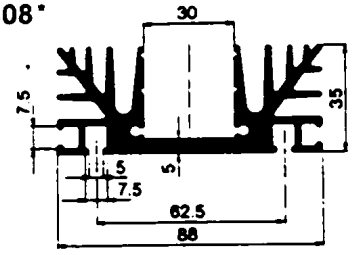
WA 407

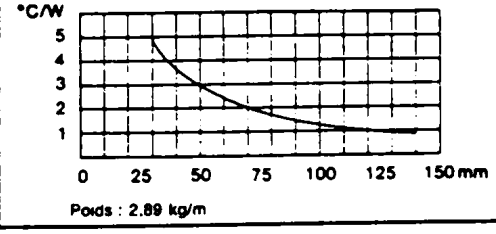




Poids : 0,55 kg/m

WA 408*





Poids : 2,89 kg/m

19-1976; Rev 1; 6/92

MAXIM

CMOS µP-Compatible, 5µs, 8-Bit ADCs

General Description

The MAX165/MAX166 are high-speed (5µs) microprocessor (µP)– compatible, 8-bit ADCs with track/hold (T/H). The T/H function allows full-scale signals up to 50kHz (386mV/µs slew rate) to be acquired and digitized accurately. Both ADCs use a successive approximation technique to achieve fast conversions and low power dissipation. The MAX165/MAX166 operate with a +5V supply and an internal or external +1.23V reference, and accept single-ended (MAX165) or differential (MAX166) voltages ranging from 0V to 2VREF.

The MAX165/MAX166 are easily interfaced to all popular 8-bit µPs through standard $\overline{CS}$ and $\overline{RD}$ control signals. These signals control the start of conversions and data access. A $\overline{BUSY}$ signal indicates the beginning and end of conversions. Since all the data outputs are latched and three-state buffered, the MAX165/MAX166 can be directly tied to a µP data bus or system input/output port.

The MAX165 is a plug-in replacement for the MX7575, with the addition of an internal 1.23V reference. For applications that require a differential analog input and an internal reference, the MAX166 is recommended.

Applications

Digital-Signal Processing

High-Speed Data Acquisition

Telecommunications

Audio Systems

High-Speed Servo Loops

Low-Power Data Loggers

Features

- ♦ **5µs Conversion Time**
- ♦ **Built-In Track/Hold**
- ♦ **±1LSB Max Total Unadjusted Error**
- ♦ **50kHz Signal Bandwidth**
- ♦ **Internal 1.23V Bandgap Reference and Buffer**
- ♦ **Single +5V Supply Operation**
- ♦ **8-Bit µP Interface**
- ♦ **100ns Data-Access Time**
- ♦ **15mW Typ Power Consumption**
- ♦ **Small Footprint Packages**
- ♦ **Plug-In Upgrade to the MX7575 (MAX165)**

Ordering Information

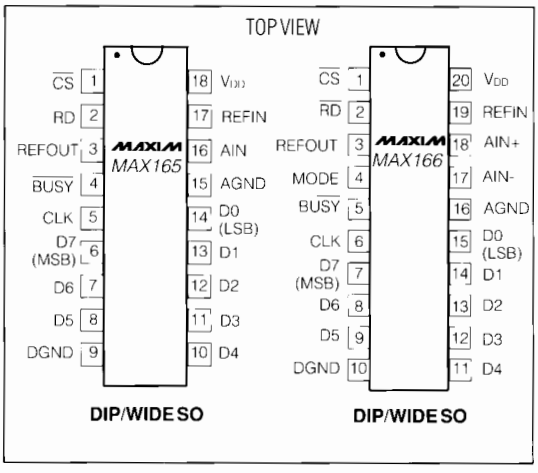
PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSB)
MAX165ACPN	0°C to +70°C	18 Plastic DIP	±1/2
MAX165BCPN	0°C to +70°C	18 Plastic DIP	±1
MAX165ACWN	0°C to +70°C	18 Wide SO	±1/2
MAX165BCWN	0°C to +70°C	18 Wide SO	±1
MAX165BC/D	0°C to +70°C	Dice*	±1
MAX165AEPN	-40°C to +85°C	18 Plastic DIP	±1/2
MAX165BEPN	-40°C to +85°C	18 Plastic DIP	±1
MAX165AEWN	-40°C to +85°C	18 Wide SO	±1/2
MAX165BEWN	-40°C to +85°C	18 Wide SO	±1
MAX165AMJN	-55°C to +125°C	18 CERDIP**	±1/2
MAX165BMJN	-55°C to +125°C	18 CERDIP**	±1

Ordering Information continued on last page.

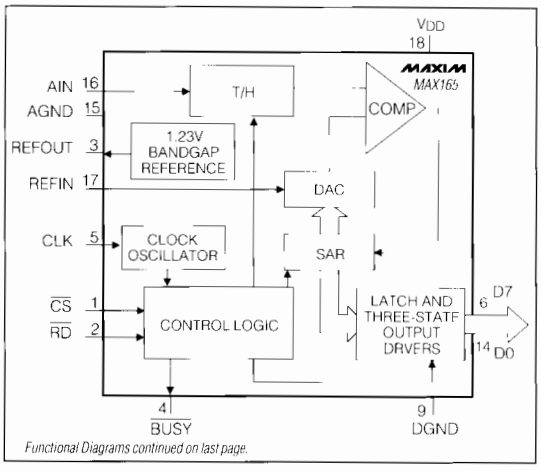
* *Contact factory for dice specifications.*

***Contact factory for availability processing to MIL-STD-883.*

Pin Configurations



Functional Diagrams



Functional Diagrams continued on last page.

Call toll free 1-800-998-8800 for free samples or literature.

CMOS µP-Compatible 5µs, 8-Bit ADCs

ABSOLUTE MAXIMUM RATINGS

V_{DD} to AGND ..... -0.3V, +7V
V_{DD} to DGND ..... -0.3V, +7V
AGND to DGND ..... -0.3V, V_{DD} +0.3V
Digital Input Voltage to DGND
(MAX165 Pins 1, 2) ..... -0.3V, V_{DD} +0.3V
(MAX166 Pins 1, 2, 4) ..... -0.3V, V_{DD} +0.3V
Digital Output Voltage to DGND
(MAX165 Pins 4, 6-8, 10-14) ..... -0.3V, V_{DD} +0.3V
(MAX166 Pins 5, 7-9, 11-15) ..... -0.3V, V_{DD} +0.3V
CLK Input Voltage (MAX165 Pin 5) to DGND ..... -0.3V, V_{DD} +0.3V
CLK Input Voltage (MAX166 Pin 6) to DGND ..... -0.3V, V_{DD} +0.3V
REFIN, REFOUT to AGND ..... -0.3V, V_{DD} +0.3V
MAX165 AIN to AGND ..... -0.3V, V_{DD} +0.3V
MAX166 AIN+, AIN- to AGND ..... -0.3V, V_{DD} +0.3V

Continuous Power Disipation (T_A = +70°C)
18-Pin Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
18-Pin Wide SO (derate 9.52mW/°C above +70°C) 762mW
18-Pin CERDIP (derate 10.53mW/°C above +70°C) 842mW
20-Pin Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
20-Pin Wide SO (derate 10.00mW/°C above+70°C) 800mW
20-Pin CERDIP (derate 11.11mW/°C above +70°C) 889mW
Operating Temperature Ranges:
MAX16_ _C_ _ ..... 0°C to +70°C
MAX16_ _E_ _ ..... -40°C to +85°C
MAX16_ _M_ _ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (soldering, 10 sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect the device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V, REFIN = +1.23V, AGND = DGND = 0V, AIN- = 0V (MAX166), f_{CLK} = 4MHz external, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
ACCURACY							
Resolution				8			Bits
Total Unadjusted Error	TUE		MAX165A			±1	LSB
			MAX165B			±2	
			MAX166A/C			±1	
			MAX166B/D			±2	
Relative Accuracy			MAX165A			±1/2	LSB
			MAX165B			±1	
			MAX166A/C			±1/2	
			MAX166B/D			±1	
No-Missing-Codes Resolution				8			Bits
Full-Scale Error						±1	LSB
Full-Scale Tempco					±5		ppm/°C
Offset Error (Note 1)						±1/2	LSB
Offset Tempco					±5		ppm/°C
ANALOG INPUT							
Voltage Range		1LSB = 2VREF/256		0		2VREF	V
Voltage Range AIN+ (MAX166)				AIN-		V_{DD}	V
Voltage Range AIN- (MAX166)				0		AIN+	V
DC Input Impedance				10			MΩ
Slew Rate, Tracking				0.386			V/µs
SNR (Note 2)		V_{IN} = 2.46V_{p-p} at 10kHz (Figure 13)		45			dB

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +5V, REFIN = +1.23V, AGND = DGND = 0V, AIN- = 0V (MAX166), f_{CLK} = 4MHz external, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
REFERENCE (Note 2)							
REFIN Range (Note 3)	VREF	±5% variation for specified performance		1.16	1.23	1.29	V
REFIN Current	I_{REF}					500	µA
REFOUT Voltage	REFOUT	T_A = +25°C		1.18	1.21	1.23	V
REFOUT Load Regulation		T_A = +25°C, I_L = 0mA to 1.5mA				3	mV
REFOUT Supply Sensitivity		V_{DD} ±5%				±1.5	mV
Temperature Drift			MAX165AC/AE/BC/BE		40	70	ppm/°C
			MAX165AM/BM		60	100	
			MAX166AC/AE/BC/BE		40	70	
			MAX166AM/BM		60	100	
External Capacitive Load Requirement				4.7			µF
LOGIC INPUTS							
CS, RD, MODE (MAX166)							
Input Low Voltage	V_{INL}					0.8	V
Input High Voltage	V_{INH}			2.4			V
Input Current	I_{IN}	V_{IN} = 0V or V_{DD}	T_A = +25°C			±1	mA
			T_A = T_{MIN} to T_{MAX}			±10	
Input Capacitance (Note 3)	C_{IN}					10	pF
CLOCK							
Input Low Voltage	V_{INL}					0.8	V
Input High Voltage	V_{INH}			2.4			V
Input Low Current	I_{INL}	V_{IN} = 0V	MAX16_ _C/E			700	µA
			MAX16_ _M			800	
Input High Current	I_{INH}	V_{IN} = V_{DD}	MAX16_ _C/E			700	µA
			MAX16_ _M			800	
LOGIC OUTPUTS							
BUSY, D0 to D7							
Output Low Voltage	V_{OL}	I_{SINK} = 1.6mA				0.4	V
Output High Voltage	V_{OH}	I_{SOURCE} = 40µA		4.0			V
D0 to D7							
Floating State Leakage Current		V_{OUT} = 0V to V_{DD}	MAX16_ _C/E			±1	mA
			MAX16_ _M			±10	
Floating State Output Capacitance (Note 3)						10	pF
CONVERSION TIME (Note 4)							
With External Clock		f_{CLK} = 4MHz			5		µs
With Internal Clock		Using recommended clock components R_{CLK} = 100kΩ, C_{CLK} = 100pF, T_A = +25°C		5		15	µs
POWER REQUIREMENTS (Note 5)							
Supply Voltage	V_{DD}	±5% for specified performance			5		V
Supply Current	I_{DD}		MAX16_ _C/E		3	6	mA
			MAX16_ _M		3	7	
Power Dissipation					15		mW
Power-Supply Rejection		4.75V < V_{DD} < 5.25V				±1/4	LSB

CMOS µP-Compatible 5µs, 8-Bit ADCs

TIMING CHARACTERISTICS (Note 6)

(V_{DD} = +5V, REFIN = +1.23V, AGND = DGND = 0V, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	T_A = +25°C		T_A = T_{MIN} to T_{MAX}				UNITS
			ALL		MAX16_ _C/E		MAX16_ _M		
			MIN	MAX	MIN	MAX	MIN	MAX	
$\overline{CS}$ to $\overline{RD}$ Setup Time	t_1		0		0		0		ns
$\overline{RD}$ to $\overline{BUSY}$ Propagation Time	t_2			100		100		120	ns
Data-Access Time after RD	t_3	(Note 7)		100		100		120	ns
$\overline{RD}$ Pulse Width	t_4		100		100		120		ns
$\overline{CS}$ to $\overline{RD}$ Hold Time	t_5		0		0		0		ns
Data-Access Time after $\overline{BUSY}$	t_6	(Note 7)		80		80		100	ns
Data-Hold Time after $\overline{RD}$	t_7	(Note 8)	10	80	10	80	10	100	ns
$\overline{BUSY}$ to $\overline{CS}$ Delay	t_8		0		0		0		ns

Note 1: Offset Error is measured with respect to an ideal first code transition which occurs at 1/2LSB.
Note 2: REFOUT is not available for use in MAX166C/MAX166D. These parts must be used with an external reference.
Note 3: Guaranteed by design, not tested.
Note 4: Accuracy may degrade at conversion times other than those specified.
Note 5: Power-supply current is measured when MAX165/MAX166 are inactive, i.e.
for MAX165 $\overline{CS}$ = $\overline{RD}$ = $\overline{BUSY}$ = high;
for MAX166 $\overline{CS}$ = $\overline{RD}$ = $\overline{BUSY}$ = MODE = high.
Note 6: Timing Specifications are sample tested at +25°C to ensure compliance. All input control signals are specified with t_r = t_f = 20ns (10% to 90% of +5V) and timed from a 1.6V voltage level.
Note 7: t_3 and t_6 are measured with the load circuits of Figure 1 and defined as the time required for an output to cross 0.8V or 2.4V.
Note 8: t_7 is defined as the time required for the data lines to change 0.5V when loaded with the circuits of Figure 2.
Specifications subject to change without notice.

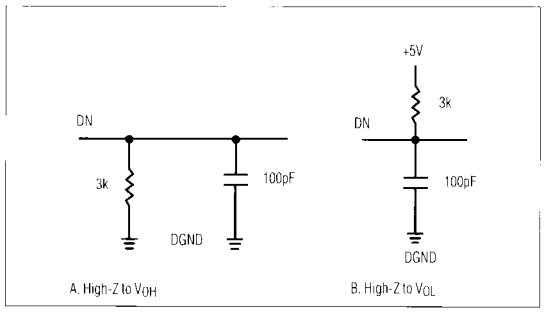


Figure 1. Load Circuits for Data-Access Time Test

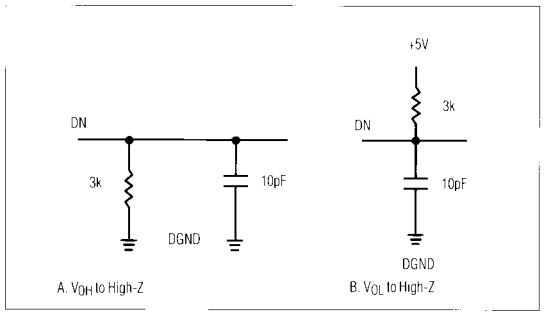


Figure 2. Load Circuits for Data-Hold Time Test

Detailed Description

Converter Operation

The MAX165/MAX166 use the successive approximation technique to convert an unknown analog input voltage to an 8-bit digital output code (see *Functional Diagrams*). The MAX165/MAX166 sample the input voltage on an internal capacitor once at the beginning of the conversion, (see *Track/Hold* section). The DAC is initially set to half scale, and the comparator determines whether the input signal is larger or smaller than half scale. If the input is larger, the DAC most significant bit (MSB) is kept; if it is smaller, the MSB is dropped. At the end of each comparison phase, the successive approximation register (SAR) stores the results of the previous decisions and determines the next trial bit. This information is loaded into the DAC after each decision. As the conversion proceeds, the analog input is approximated more closely as it is compared to the combined previous DAC bits and a new DAC trial bit. After 8 comparison cycles, the 8 bits stored in the SAR are latched into the output latches. At the end of the conversion, the $\overline{BUSY}$ signal goes high, and the data in the output latches is ready for µP access. Furthermore, the DAC is reset to half scale in preparation for the next conversion.

Microprocessor Interface

The $\overline{CS}$ and $\overline{RD}$ logic inputs are used to initiate conversions and to access data from the devices. The MAX165/

Pin Description

PIN		NAME	FUNCTION
MAX165	MAX166		
1	1	$\overline{CS}$	CHIP SELECT Input. $\overline{CS}$ must be low for the device to be selected, or to recognize the $\overline{RD}$ input.
2	2	$\overline{RD}$	READ Input. $\overline{RD}$ must be low to access data. RD is also used to start conversions. See the *Digital Interface* section.
3	3	REFOUT	Output of the internal 1.23V bandgap reference
	4	MODE	MODE (MAX166). Mode = low puts the ADC into asynchronous-conversion mode. MODE has to be tied high for synchronous-conversion mode and ROM interface mode.
4	5	$\overline{BUSY}$	$\overline{BUSY}$ Output. $\overline{BUSY}$ going low indicates the start of a conversion. $\overline{BUSY}$ going high indicates the end of a conversion.
5	6	CLK	External Clock Input/Internal Oscillator Pin for frequency setting RC components.
6	7	D7 (MSB)	Three-State Data Output, bit 7 (MSB)
7	8	D6	Three-State Data Output, bit 6
8	9	D5	Three-State Data Output, bit 5
9	10	DGND	Digital Ground
10	11	D4	Three-State Data Output, bit 4
11	12	D3	Three-State Data Output, bit 3
12	13	D2	Three-State Data Output, bit 2
13	14	D1	Three-State Data Output, bit 1
14	15	D0 (LSB)	Three-State, Data Output, bit 0 (LSB)
15	16	AGND	Analog Ground
16		AIN	Analog Input (single-ended with respect to AGND) 0V to 2VREF input range
	17	AIN	Negative Analog Input - differential (MAX166)
	18	AIN+	Positive Analog Input - differential (MAX166)
17	19	REFIN	Reference Input +1.23V nominal
18	20	V_{DD}	Power-Supply Voltage +5V nominal

MAX166 have two common interface modes that will be referred to as slow-memory interface mode and ROM interface mode. In addition, the MAX166 has an asynchronous conversion mode (MODE pin = low) where continuous conversions are performed. In the slow-memory interface mode, $\overline{CS}$ and $\overline{RD}$ are taken low to start a conversion and remain low until the end of the conversion, at which time data is updated. This mode is designed for µPs that can be forced into a wait state. In ROM interface mode, however, the µP is not forced into a wait state. A conversion is started by taking $\overline{CS}$ and $\overline{RD}$ low, and data from the previous conversion is read. At the end of the most recent conversion, the µP executes a READ instruction and starts another conversion.

Slow-Memory Interface Mode

Figure 3 shows the timing diagram for slow-memory interface mode. This mode is used with µPs that have a wait state capability of at least 5µs (such as the 8085A), where a READ instruction is extended to accommodate slow-memory devices. A conversion is started by executing a memory READ to the device (taking $\overline{CS}$ and $\overline{RD}$ low). The $\overline{BUSY}$ signal (which is connected to the µP READY input) then goes low and forces the µP into a wait state. The T/H, which has been tracking the analog input signal, holds the signal on the third falling clock edge after $\overline{RD}$ goes low (Figure 12). At the end of the conversion, $\overline{BUSY}$ returns high, the output latches, and buffers are updated with the new conversion results. The µP then completes the memory READ by acquiring this new data.

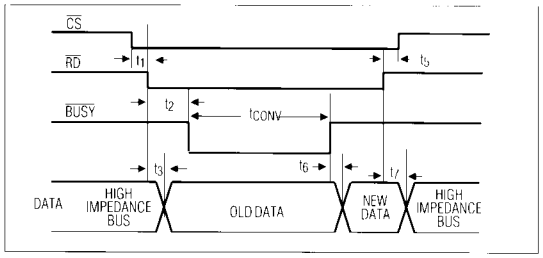


Figure 3. Slow-Memory Interface Mode Timing Diagram